

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-046762

(43) Date of publication of application : 16.02.1990

(51) Int.CI.

H01L 27/088

H03K 19/0948

(21) Application number : 63-199138

(71) Applicant : MITSUBISHI ELECTRIC CORP

(22) Date of filing : 09.08.1988

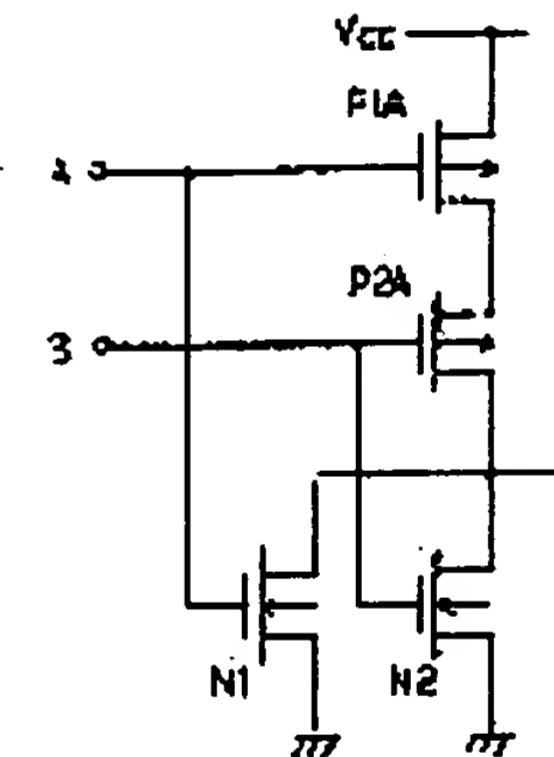
(72) Inventor : ASAHIKA KATSUSHI
TAKANO SATOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To enable high speed operation and reduce gate input capacitance and occupied area, by a method wherein, when two or more insulated gate field effect transistors are connected in series, the gate length of the insulated gate field effect transistor is made short, as compared with the gate length of the one which is not connected in series.

CONSTITUTION: When at least one of an input A and an input B is 'high', either one of PMOSFET's P1A, P2A turns off. Since the MOSFET's are connected in series, the voltage applied between the source and drain of the PMOSFET becomes smaller than Vcc, an MISFET, whose gate length is short as compared with a circuit not connected in series, can be used in a circuit connected in series. As a result, the current of an MISFET increases, so that it is unnecessary to increase the gate width, and the gate capacitance is reduced. Thereby high speed operation is enabled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫公開特許公報(A) 平2-46762

⑬Int.CL:

H 01 L 27/088
H 03 K 19/0948

識別記号

庁内整理番号

⑭公開 平成2年(1990)2月16日

7735-5F H 01 L 27/08 102 C
8326-5J H 03 K 19/094 B
審査請求 未請求 請求項の数 1 (全4頁)

⑮発明の名称 半導体集積回路

⑯特 願 昭63-199138

⑰出 願 昭63(1988)8月9日

⑱発明者 朝比奈 克志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内⑲発明者 高野 肇 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑳出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

绝缘ゲート型電界効果トランジスタを用いて構成された半導体集積回路において、上記绝缘ゲート型電界効果トランジスタが2以上直列に接続されている場合、上記绝缘ゲート型電界効果トランジスタのゲート長を直列に接続されていないものと比較して短くしたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は绝缘ゲート型電界効果トランジスタを用いて構成される半導体集積回路に関するものである。

(従来の技術)

第3図及び第4図は相補形金属酸化膜電界効果トランジスタ(以下CMOSFETという)を用いたNOR回路及びNAND回路の構成図で、図において、

P1, P2, P3, P4はPMOSFET、N1, N2, N3, N4はNMOSFETである。

また第5図、第6図は他の半導体集積回路の構成図で、P5はPMOSFET、N5はNMOSFET、N6はNMOSFET、R1は抵抗を示す。

次に動作について説明する。

第3図において、PMOSFET P1, P2は直列に接続されているので、A=B="low"のときPMOSFET P1, P2が共にonするのでX="high"となる。NMOSFET N1, N2は並列に接続されているので、AまたはBが"high"のときNMOSFET N1またはN2がonするのでX="low"となり、NOR動作をする。ここで、PMOSFET P1, P2は直列に接続されているのでX="high"を出力しているとき、出力電流はPMOSFET P1, P2の直列抵抗により制限される。このため高速動作を要求される回路においては、直列に接続されているPMOSFET P1, P2のゲート幅を第4図において並列に接続されているPMOSFET P3, P4のゲート幅より大きくする必要があった。

この時CMOS回路に使用されるMISFET(絶縁ゲート型電界効果トランジスタ)はコンハンスマント型が使用されるので、第7図に示すように、 $V_{GS} = 0$ Vにおいてoffすることが要求される。

しかしながらMISFETのゲート長を縮小することによりパンチスルー現象が発生し、第8図に示すように $|V_{GS}|$ を増大すると $V_{GS} = 0$ Vにおいても $|I_{DS}|$ が増大する。第8図において、曲線1はNMOSFET、曲線2はPMOSFETについて示したものである。ゲート長を縮小すると第8図の曲線はNMOSFETにおいては曲線1bから1aへ、PMOSFETにおいては曲線2bから2aに変化する。これらのことより明らかのように、ゲート長を縮小することにより、MOSFETのゲート電圧によりoffすることのできるソース・ドレイン間電圧は小さくなる。このため、第6図に示されるような回路構成において、パンチスルー現象が発生して、 $V_{GS} = 0$ Vにおいても大きな電流が流れれるようなMOSFETは使用できない。同様のことが、第5図に示すCMOSインバータ回路についても言える。このため、

ゲート長を縮小して、ゲート入力容量が小さく、かつ、電流駆動力の大きいMISFETを使用することは困難であった。

また、第4図に示すCMOS NAND回路においても直列に接続されているNMOSFET N3、N4のゲート幅は第3図において並列に接続されているNMOSFET N1、N2のゲート幅より大きくする必要があった。

(発明が解決しようとする課題)

従来の半導体集積回路装置は以上のように構成されているので、高速動作する回路において直列に接続されている素子においては負荷駆動力を大きくするために、ゲート幅を大きくすることが必要で、このために、ゲート入力容量が大きくなったり、回路の占有面積が大きくなるなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、高速動作できるとともに、ゲート入力容量が小さく、かつ占有面積が小さい半導体集積回路装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体集積回路は、絶縁ゲート型電界効果トランジスタが2以上直列に接続されている場合、上記絶縁ゲート型電界効果トランジスタのゲート長を直列に接続されていないものと比較して短くしたことを特徴とするものである。

(作用)

この発明における直列に接続されている絶縁ゲート型電界トランジスタ(MISFET)のゲート長は並列に接続されているMISFETのゲート長より短く電流はより大きく流れ、ゲート容量は低減する。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図において、P1A、P2Aはゲート長を短くしたPMOSFET、N1、N2はNMOSFETである。A、Bは入力端子でXは出力端子である。この回路は $X = A + B$ の論理式で表される論理動作を行うNOR回路である。

次に動作について説明する。

いま、入力AまたはBのどちらかが少なくとも一方が“high”であるとき、対応するPMOSFET P1A、P2Aのいずれかがoffする。このとき、PMOSFETは直列に接続されているので、PMOSFETのソース・ドレイン間に印加される電圧は V_{cc} より小さな値となっているので、直列接続された回路においては、そうでない回路に比較して、ゲート長の短いMISFETを使用することができる。これにより、MISFETの電流が大きくなるので、ゲート幅を大きくする必要がなくなり、またゲート容量が低減されることにより高速動作が可能となる。

第2図は、本発明の別の実施例を示したものである。この場合、直列接続されているMISFETはゲート長の短いNMOSFET N3A、N4Aである。ここに、上記のNOR回路で行ったのと同様に、直列接続されたNMOSFET N3、N4のゲート長を短くすることによって同一の結果を得る。

また、上記実施例では、2入力のCMOS NORおよびNAND回路について述べたが、多入力のCMOS論理回路についても適用できる。

(発明の効果)

以上説明したようにこの発明によれば、絶縁ゲート型電界効果トランジスタが2以上直列に接続されている場合、上記絶縁ゲート型電界効果トランジスタのゲート長を直列に接続されていないものと比較して短くしたので、高速に動作するとともに占有面積の少ない半導体集積回路装置を得ることができる。

4. 図面の簡単な説明

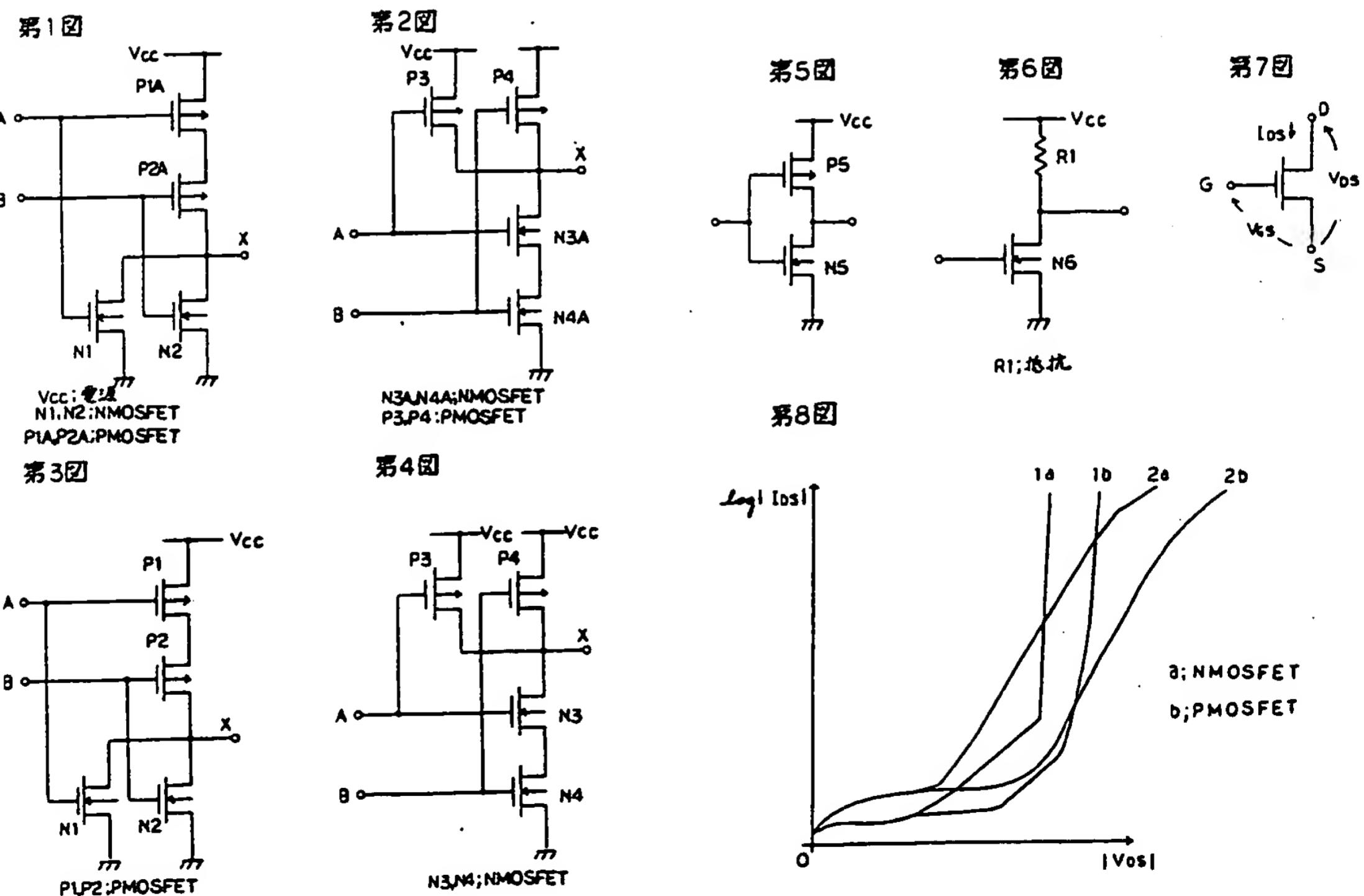
第1図はこの発明の一実施例を示す構成図、第2図はこの発明の他の一実施例を示す構成図、第3図は従来の CMOSPETを用いた NOR回路、第4図は従来の CMOSPETを用いた NAND回路、第5図、第6図は他の半導体集積回路の一例を示す図、第7図はMISFETの電圧印加の様子を示す図、第8図は $V_{cc} = 0$ Vとした時のMISFETの $I_{ds} - V_{ds}$ の特性図である。

N1, N2, N3, N4, N5, N3A, N4A
Aは NMOSFET、P1, P2, P3, P4, P1A,
P2Aは PMOSFET、R1は抵抗、Vccは電源を示す。

す。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄 (ほか2名)



手 続 捷 正 書(自発)

1 9 27
平成 年 月 日

特許庁長官殿

1. 事件の表示 特願昭 63-199138号

2. 発明の名称

半導体集積回路

3. 捷正をする者

事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志岐 守哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
 三菱電機株式会社内
 氏 名 (7375)弁理士 大岩 増雄
 (連絡先03(213)3421特許部)

5. 捷正の対象

発明の詳細な説明の欄。

6. 捷正の内容

(1)明細書第3頁第2行目乃至第3行目「コンハンスメント型」とあるのを「エンハンスメント型」と捷正する。

以上

